

JA 01004.7

APR 1990

(54) GAIN CONTROL AMPLIFIER

(11) 2-100407 (A) (43) 12.4.1990 (19) JP

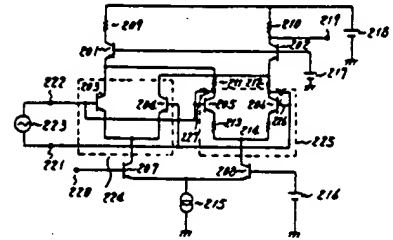
(21) Appl. No. 63-253504 (22) 6.10.1988

(71) NEC CORP (72) KAZUNORI NISHIJIMA

(51) Int. Cl.⁵ H03G3/10

PURPOSE: To prevent the generation of peaking in a high frequency by loading a load and a transistor to an output terminal side separating the gain into two.

CONSTITUTION: A bias voltage 216 is applied to a base of a transistor 208, a gain control voltage is applied to a base of a transistor 207, a signal source 223 is connected to bases of transistors 203-206, an input signal is amplified by both a differential amplifier 224 and 225, and an output is fetched from an output terminal 219. The gain of the gain control amplifier is determined by a common emitter current of the differential amplifiers 224, 225 and a load 210 because a transistor 202 exists, therefore, controlled by the gain control voltage consequently. In such a way, even if the frequency becomes high and the feed-back quantity becomes large, the whole gain does not increase, and peaking is not generated, therefore, a control range of the gain is widened.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-100407

⑮ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月12日

H 03 G 3/10

B

8221-5J

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 利得制御増幅器

⑯ 特 願 昭63-253504

⑰ 出 願 昭63(1988)10月6日

⑱ 発 明 者 西 島 一 則 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

利得制御増幅器

2. 特許請求の範囲

利得制御電圧および入力信号の一方に応じて電流が制御される電流源と、前記電流源にそれぞれエミッタ抵抗を介して差動形式に接続されベース間に前記利得制御電圧および前記入力信号の他方が供給される第1および第2のトランジスタと、バイアス電圧が夫々のベースに供給された第3および第4のトランジスタであって前記第1および第2のトランジスタのコレクタにエミッタが第1及び第2の抵抗を介して接続された第3および第4のトランジスタと、前記第3および第4のトランジスタのコレクタの少なくとも一方から出力信号を取り出す手段とを含むことを特徴とする利得制御増幅器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、利得制御増幅器に関する。

〔従来の技術〕

従来の利得制御増幅器は、第2図に示されるように、トランジスタ101乃至107、抵抗108乃至111、定電流源112、113から構成され、信号源は入力端子115と116の間に接続され、利得制御増幅器の出力は、出力端子118よりとり出される。

トランジスタ105に流れる電流を I_1 、トランジスタ106に流れる電流を I_2 、トランジスタ101、102より構成される差動回路の相互コンダクタンスを g_{m1} 、トランジスタ103、104、抵抗110、111より構成される差動回路の相互コンダクタンスを g_{m2} 、負荷109を R_L 、端子120、121間の制御入力電圧を ΔV 、定電流源112の電流を I 、トランジスタ105、106より構成される差動回路の相互コンダクタンスを g_{m3} 、抵抗110、111を RE と

すると、次式(1)、(2)が得られる。

$$I_1 = I / 2 + \Delta V \cdot g_{m1} \quad \dots\dots(1)$$

$$I_2 = I / 2 - \Delta V \cdot g_{m1} \quad \dots\dots(2)$$

また利得制御増幅器の利得 A は、トランジスタ101、102、から構成される差動回路の相互コンダクタンスとトランジスタ103、104、抵抗110、111より構成される差動回路の相互コンダクタンスから得られ、(3)式で与えられる。

$$A = R_L (g_{m1} + g_{m2}) \quad \dots\dots(3)$$

ここで g_{m1} 、 g_{m2} を求めると

$$g_{m1} = \frac{q I_1}{4 k T} = \frac{q}{4 k T} \left(\frac{I}{2} + \Delta V \cdot g_{m1} \right) \quad \dots\dots(4)$$

$$g_{m1} = \frac{1}{\frac{4 k T}{q I_1} + 2 R_s} = \frac{1}{\frac{4 k T}{q \left(\frac{I}{2} - \Delta V \cdot R_s \right)} + 2 R_s} \quad \dots\dots(5)$$

(4)、(5)の式より利得 A は(6)の式となる。

$$A = R_L \left[\frac{1}{\frac{4 k T}{q \left(\frac{I}{2} - \Delta V \cdot g_{m1} \right)} + 2 R_s} + \frac{q}{4 k T} \left(\frac{I}{2} + \Delta V \cdot g_{m2} \right) \right] \quad \dots\dots(6)$$

無視できなくなる。従って、高周波においては、 C_j は帰還容量となるため無視できず、さらに位相が回るため、 β は負となり利得 A_{HF} は(8)となる。

$$A_{HF} = \frac{A_1}{1 - \beta A_1} \quad \dots\dots(8)$$

ここで利得 A_1 を1より小さくなるように設定したとすると、 $A_1 < 1$ また $\beta < 1$ ゆえ $A_1 < 1 < \frac{1}{\beta}$ となる。従って、 $\beta A_1 < 1$ となり(8)により $A_{HF} > A_1$ となる。これは、利得 A_1 を1より小さく設定したとき、高周波において確実に利得 A_{HF} が増加しピーキングが発生することを示している。

上述のような差動増幅器を含む従来の利得増幅器をAGC増幅器に応用した場合、高周波においてピーキングが発生するため、利得の制御範囲が狭くなり、AGCのダイナミックレンジが高域において狭くなるという欠点を有する。

本発明の目的は、高周波におけるピーキングの発生を防止できる利得増幅器を提供することにある。

〔課題を解決するための手段〕

(6)の式より制御入力電圧 ΔV を変化させることにより利得 A が制御される利得制御増幅器となる。

〔発明が解決しようとする課題〕

上述した従来の利得制御増幅器は、その利得 A を1より小さくなるように設定したとき、高域においてピーキングが発生する。この理由を第3図を用いて説明する。第3図は、第2図で説明した利得制御増幅器におけるトランジスタ103及び104からなる差動増幅器である。共通する部分は同じ番号で示す。第3図に示すように、利得を A_1 、トランジスタ102のベースコレクタ間の寄生容量310を C_j とし、トランジスタ102のコレクタ出力が C_j を介してトランジスタ102のベースに帰還する帰還量を β 、トランジスタ102のベースから見た入力インピーダンスを Z_i とすれば β は(7)で表わされる。

$$\beta = \frac{Z_i}{Z_i + 1/j\omega C_j} \quad \dots\dots(7)$$

低周波においては、 $1/j\omega C_j$ は十分大きな値ゆえ $\beta \approx 1$ であるが高周波においては、 $1/j\omega C_j$ は小さくなるため β は1に近い値となり、

本発明の利得制御増幅器は、利得制御電圧および入力信号の一方に応じて電流が制御される電流源と、前記電流源にそれぞれエミッタ抵抗を介して差動形式に接続されベース間に前記利得制御電圧および前記入力信号の他方が供給される第1および第2のトランジスタと、バイアス電圧が夫々のベースに供給された第3および第4のトランジスタであって前記第1及び第2のトランジスタのコレクタにエミッタが第1及び第2の抵抗を介して接続された第3および第4のトランジスタと、前記第3および第4のトランジスタのコレクタの少なくとも一方から出力信号を取り出す手段とを含んで構成される。

〔実施例〕

次に、本発明について、図面を参照して説明する。

第1図は、本発明の一実施例を説明するための回路図である。同図に示すように、差動的に接続されたトランジスタ203及び204からなる差動増幅器224と、差動的に接続されたトランジ

スタ205及び206と、抵抗213及び214からなる差動増幅器225と夫々の増幅器の出力を受けるトランジスタ207及び208と定電流源15と、電流源218と各増幅器の間に設けられたトランジスタ201及び202と抵抗209乃至212と、出力端子219から構成されており、トランジスタ201、202のベースには、バイアス電圧217が印加され、トランジスタ208のベースには、バイアス電圧216が印加され、トランジスタ207のベースには制御電圧が印加され、トランジスタ207、208のベース電位差によってトランジスタ207、208のコレクタ電流が制御される。トランジスタ203、204、205、206のベースには信号源223が接続され、入力信号は差動増幅器224と225の両方にて増幅され、トランジスタ202のコレクタすなわち出力端子219から出力がとり出される。

差動増幅器224の共通エミッタ電流と差動増幅器225の共通エミッタ電流は定電流源215

の電流とトランジスタ207、208から構成される差動回路の相互コンダクタンスにより決定される。前記相互コンダクタンスは、端子220に与えられる利得制御電圧とバイアス電圧216との差電圧によって決定される。したがって本利得制御増幅器の利得はトランジスタ202が存在するため差動増幅器224、225の共通エミッタ電流と負荷210で決定されるので、利得制御電圧によって制御されることになる。

本実施例において、トランジスタ203、204からなる差動回路224は出力の直流バイアス保障のためにある回路である。従って、本発明の効果を説明するためトランジスタ208がオンし、トランジスタ207がオフするように利得制御電圧が与えられると仮定して、差動回路225のみの動作を以下述べる。この時、差動回路225と負荷210で決定される利得を A_1 とし、 $A_1 < 1$ となるように抵抗213、214を定める。さらに、差動回路225と負荷211、212で決定される利得を A_2 とし、 $A_2 > 1$ となるように負荷

211、212を定める。トランジスタ208のベース、コレクタ間の寄生容量226を C_1 とし、トランジスタ208のコレクタからベースへ C_1 を介して帰還する帰還量を β とすれば、差動回路225と負荷211、212と帰還量 β で決定される利得 A_{eff} は、

$$A_{eff} = \frac{A_1}{1 - \beta A_1} \quad \dots\dots(9)$$

で与えられる。ただし、帰還量 β は、 C_1 に依存するため、周波数が高くなる程、 C_1 のインピーダンス $1/j\omega C_1$ は低下し、 β は大きくなる。今、 $\beta = 0.5$ 、 $A_1 = 4$ と仮定すると、

$$A_{eff} = 4 \quad \dots\dots(10)$$

のように、 $\beta = 0.5$ となる周波数帯域まで $A_{eff} > 4$ となるため、回路全体の利得は増大せず、ビーキングは生じない。さらに、 β をそのままに A_1 を大きくすれば A_{eff} は A_1 より小さくなり、高周波において利得は、なだらかに低下し、ビーキング発生はない。

以上説明した実施例において、差動回路224

は、出力の直流バイアス保障のためにあるため、この回路が存在しなくとも、本発明の効果を有した利得制御装置として動作することができる。更に本実施例では出力端子をトランジスタ202のコレクタから取り出したがトランジスタ201のコレクタから又は両方から取り出すことも可能である。さらに、入力信号をトランジスタ208に、利得制御電圧をトランジスタ205、206間に与えてもよい。

〔発明の効果〕

以上説明したように本発明によれば、利得制御増幅器の構成を上述したように負荷とトランジスタを出力端子側に負荷して、利得を2つに分離することにより周波数が高くなり、帰還量 β が大きくなっても、全体の利得は増えず、ビーキングの発生がないため利得の制御範囲が広い利得増幅器を得ることができる。

4. 図面の簡単な説明

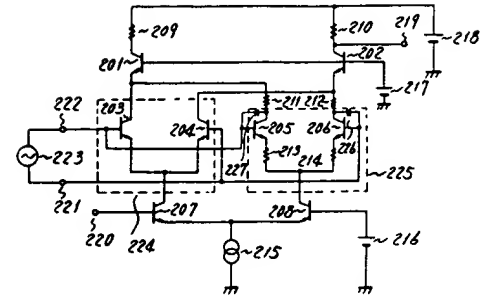
第1図は、本発明の一実施例を示す回路図、第

特開平2-100407(4)

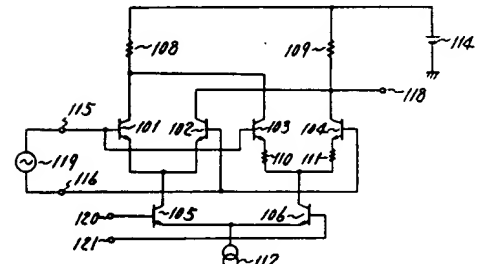
2図は従来の利得制御増幅器の一例を示す回路図、
第3図は従来の利得制御増幅器の補足説明に用いた回路図である。

201, 202, 203, 204, 205,
206, 207, 208……トランジスタ、209,
210, 211, 212, 213, 214……抵
抗、215……定電流源、216, 217, 218
……電源、223……信号源、221, 222……
入力端子対、219……出力端子、220……利
得制御入力端子、226, 227……トランジス
タCB間容量、101, 102, 103, 104,
105, 106……トランジスタ、108, 109,
110, 111……抵抗、112……定電流源、
114……電源、119……信号源、115,
116……入力端子対、118……出力端子、
120, 121……利得制御入力端子対。

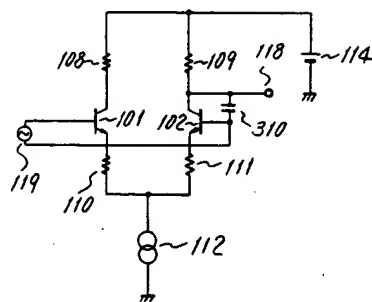
代理人 弁理士 内 原 晋



第1図



第2図



第3図